

Designrichtlinien, Workshops für Entwickler, Fertigungs-Simulation des PCB-Designs

## Wie Entwickler überprüfen, ob sich ihr PCB-Layout fehlerfrei fertigen lässt

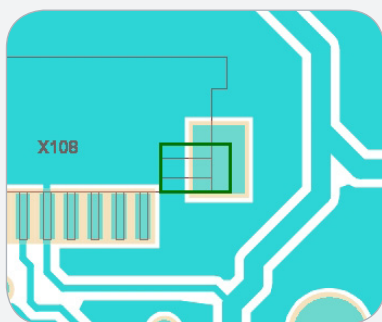
**Immer kleinere Bauteile, immer größere Packungsdichten und immer engere Termine bestimmen die Entwicklung und Fertigung von Elektronikbaugruppen. Bei der Übergabe in die Fertigung kommt es dann häufig zu Problemen. Das PCB-Layout lässt sich nicht fehlerfrei fertigen. Korrekturen sind aufwendig und unnötige Prototypenrunden kosten wertvolle Zeit. Durch Designrichtlinien, Workshops für Entwickler und eine Software-Evaluierung lassen sich solche Probleme zu fast 100 % vermeiden.**

Die Leiterplatten werden kleiner und gleichzeitig müssen immer mehr Funktionen untergebracht werden. In der Folge werden häufig Mindestabstände unterschritten oder Bauteile falsch eingesetzt, die anschließend in der Fertigung zu Problemen führen:

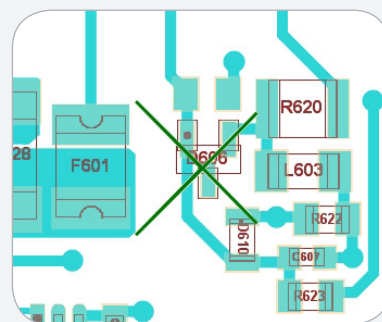
- Wird beispielsweise der äußere Rand auf der Leiterplatte zu klein, kann sie in der Fertigungslinie nicht mehr richtig transportiert werden oder ein zusätzlicher Nutzen muss definiert werden.
- Fallen wegen der Platzprobleme die Passermarken weg, funktioniert bei der automatisierten Bestückung die genaue Lageverifizierung der Leiterplatten nicht mehr und eine exakte Bestückung ist nicht mehr möglich.
- Werden die Abstände zwischen SMD- und THT-Bauteilen zu klein, ist eine automatische und prozesssichere Selektiv-Lötung nicht mehr machbar.
- Die zu dichte Platzierung von zwei SMD-Anschluss pads ist ebenfalls ein häufiger Fehler. Die Folge: Der Platz für den Lötstopplack reicht nicht aus und die zwei Pads vereinigen sich zu einer Fläche. Dann schwimmen die Bauteile in der Lötpaste auf und können nicht in der vorgesehenen Position fixiert werden.
- Eine Durchkontaktierung im SMD-Pad ist ein anderes typisches Problem: Beim Löten fließt das warme Zinn durch das Loch ab und das Bauteil wird nicht IPC-gerecht verlötet. Auf der anderen Pad-Seite kann durch das Zinn zudem ein weiterer Schaden verursacht werden. Das Problem: Bei komplexen Boards mit beispielsweise 1.000 Teilen können solche Fehler vor dem Fertigungsprozess nur zufällig entdeckt werden.

Zu geringe Mindestabstände gehören zu den häufigsten Fehlern. In solchen Fällen sind die automatisierten Fertigungsverfahren häufig nicht mehr anwendbar. In der Folge können hohe Handlungskosten anfallen, aufwendige Hilfskonstruktionen erforderlich werden oder die Leiterplatten müssen manuell bestückt und gelötet werden mit Qualitätseinbußen und einer Vervielfachung der Kosten.

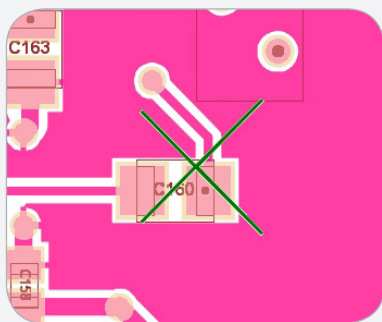
## Typische Designfehler



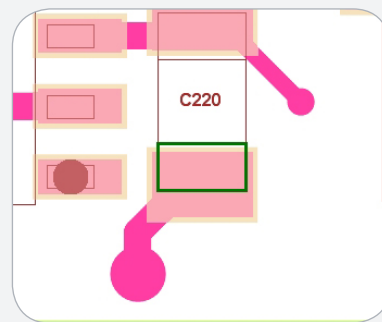
Kurzschluss nur durch LSL isoliert



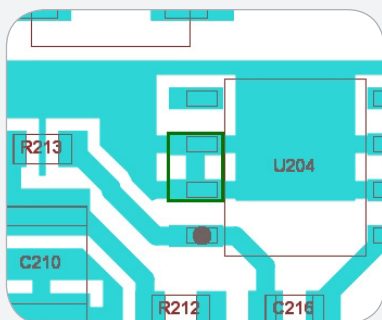
Pads unter Bauteil



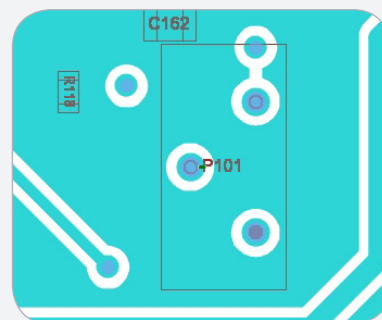
Pads zu klein



Pads zu weit auseinander



Pins direkt kurz geschlossen



Restripes zu klein

## Standards und Designrichtlinien

Probleme in der Elektronikfertigung werden vermieden, wenn in der Entwicklung und beim Design nationale und internationale Standards, die Vorgaben der Bauteilhersteller sowie spezifische Vorgaben der jeweiligen Fertigungsmaschinen genau eingehalten werden.

Vorgaben, Hilfen	Inhalt	Erläuterungen
IPC-A-610	„Acceptability of Electronic Assemblies“	Der am weitesten verbreitete Standard für die optische Beurteilung von Lötstellen in der Baugruppenfertigung
Designrichtlinien	Maschinenspezifische Vorgaben der Ihlemann AG	Platzierung von Bauelementen, Abstände für das maschinelle Löten, Vorgaben für Testmöglichkeiten usw.
Bauteilvorgaben	Vorgaben der Bauteilhersteller	Vorgaben für das Pad-Design usw.
Workshops	Workshops von Ihlemann für das fertigungsgerechte Design	Typische Fehlerursachen und ihre Vermeidung an Beispielprodukten
Design-Evaluierung	Softwaregestützte digitale Design-Evaluierung	Bestückung wird digital simuliert und Regelkataloge automatisiert angewandt

Maßgeblich ist IPC-A-610 „Acceptability of Electronic Assemblies“, als der am weitesten verbreitete IPC-Standard. Des Weiteren sind die Herstellerangaben zu beachten. Die Designrichtlinien der Ihlemann AG geben weitere maschinenspezifische Vorgaben. Sie legen u. a. fest, wie breit die Ränder einer Leiterplatte sein müssen, wo keine Bauteile gesetzt und keine Lötstellen vorgesehen werden dürfen. Sie definieren auch, wo Passermarken platziert werden und welche Abstände für das maschinelle Löten zum SMD-Bauteil und beim Selektivlöten einzuhalten sind. Weitere Vorgaben betreffen die Nutzengestaltung, die Bestückung, die Testverfahren oder die maschinelle Schutzlackierung.

## Vorgaben der Bauteilhersteller

Wichtige Vorgaben für das fertigungsgerechte Design kommen direkt von den Bauteilherstellern. Sie helfen, typische Fehler wie das Aufschwimmen von Bauteilen bei einer falschen Padgestaltung zu vermeiden. Entwickler erhalten beispielsweise konkrete Vorgaben für SMDs, das Pad-Design, die Ausrichtung der Bauteile mit flachen Anschlüssen oder mit Beinchen unter den Bauelementen wie QFN (Quad Flat No Leads Package).

Inzwischen machen auch die Hersteller von THT-Bauteilen genaue Vorgaben. Sie geben vor, wie groß die Bohrung auf der Leiterplatte sein muss, damit die Beinchen problemlos eingesetzt werden können; welche Lochabstände erforderlich sind oder wie der Löttring zur Gestaltung des Lötmeniskus um das Beinchen zu bemessen ist. Die Designrichtlinien von Ihlemann empfehlen ergänzend, dass der Durchmesser der Bohrung 0,4 mm größer sein sollte, als der Drahtdurchmesser des Bauteils. So ist sichergestellt, dass durch die Kapillarwirkung das Lot ungehindert aufsteigen kann.

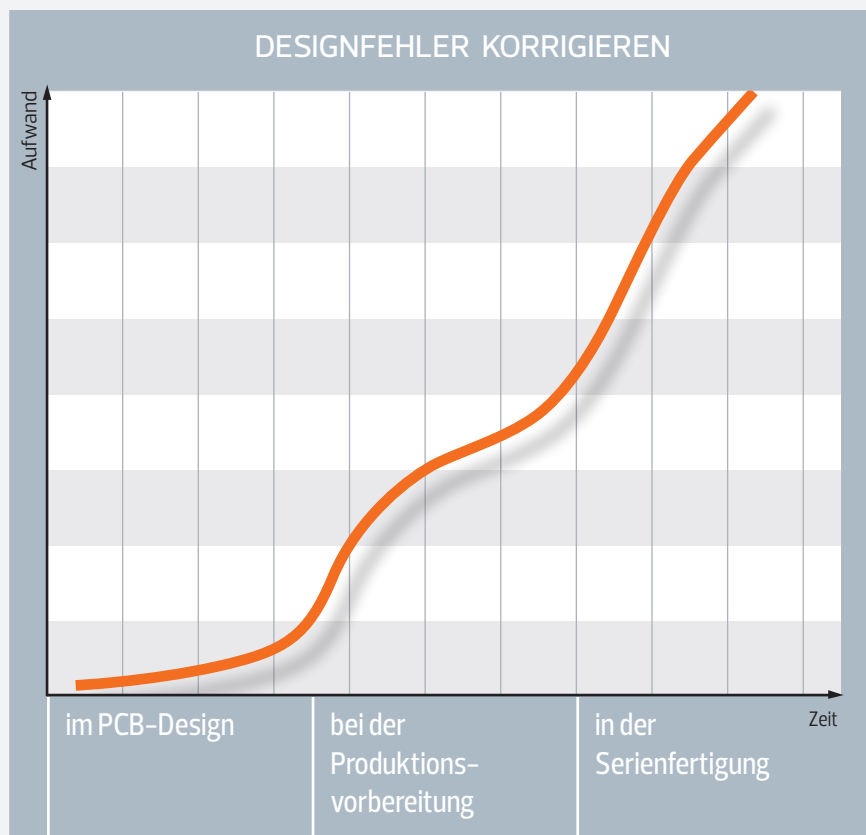
Trotz der eindeutigen Standards und Designrichtlinien werden die Vorgaben in der Praxis häufig nicht eingehalten. Abstände passen nicht, vorgegebene Rastermaße werden nicht beachtet oder die Empfehlungen des Herstellers nicht exakt eingehalten. Eine gemeinsame Layoutsprache zwischen Technikern aus der Fertigung und den Entwicklern kann hier bereits viele Unklarheiten beseitigen.

## Workshops für Entwickler

Da vielen Entwicklern die Folgen der manchmal nur geringen Abweichungen nicht klar sind, bietet Ihlemann Workshops für das fertigungsgerechte Design an und stößt auf sehr großes Interesse.

Anhand von typischen Problemen werden die Vorgaben der Designrichtlinien, deren technische Hintergründe und die Anforderungen der Fertigungstechnik erläutert. Hier kommen auch typische Fehlerursachen bei der Bauteilauswahl zur Sprache. Häufig finden sich in der Stückliste falsche Bezeichnungen für Bauteile. Auch wenn die Bauteile richtig sind, wird nicht selten die falsche Bauform ausgewählt.

Durch die Workshops können viele Probleme geklärt werden, die sonst zu Lieferverzögerungen oder erhöhten Handlingkosten führen. Als besonders hilfreich haben sich in diesem Rahmen Fertigungsrundgänge erwiesen, um die Anforderungen des eingesetzten Maschinenparks besser nachvollziehen zu können.



Mit der digitalen Design-Evaluierung lassen sich bereits in der Entwicklungsphase eines neuen Boards nahezu alle layout- und designbedingten Fehler oder Probleme feststellen. Zeitaufwendige Korrekturschleifen und zusätzliche Prototypenfertigungen werden eingespart und das neue Board kann fertigungssicher in die Serie überführt werden.

Mit der zunehmenden Komplexität der Leiterplattenlayouts lassen sich mit den herkömmlichen manuellen Layoutprüfungen etliche Fertigungskonflikte allerdings nicht rechtzeitig erkennen. Eine der Ursachen dafür liegt im Datenübergabeformat von der Entwicklung zur Fertigung.

## ODB++ notwendig – Gerber-Daten reichen nicht mehr aus

Das Leiterplatten-Layout wird häufig noch im Gerber-Format an die Produktion übergeben. Verglichen mit den CAD-Daten sind hier vergleichsweise wenige Informationen verfügbar. So ist nicht erkennbar, ob alle Designregeln für das Manufacturing (DfM) bzw. Design for Assembly (DfA) eingehalten werden.

Weil Prototypen meistens nicht unter Serienbedingungen gefertigt werden, treten viele Fehler hier noch nicht auf oder werden durch das Löten per Hand korrigiert. Nach der 0-Serie sind Korrekturen dann nicht mehr möglich oder sehr zeit- und kostenaufwendig, weil Designänderungen eine neue Prototypenfertigung und ggf. auch eine erneute EMV-Prüfung notwendig machen bis hin zu Korrekturen von internationalen Zulassungen.

Mit Hilfe moderner CAD-Systeme sind die Entwickler in der Lage, ein perfektes digitales Abbild eines Boards zu erstellen. Bei der Übertragung an die Elektronik-Fertigung werden diese digitalen Daten praktisch verworfen, denn das Standard-Austauschformat ist seit den 80/90er Jahren das Gerber-Format. Die Gerber-Daten im ASCII-Format bestehen aus einfachen Objektbeschreibungen, X-, Y-Koordinaten und Steuerfunktion. Wichtige und zeitgemäße Informationen für die Fertigung fehlen. Das Gerber-Format enthält nach den Erfahrungen der Ihlemann AG lediglich 15 Prozent der für die Fertigung notwendigen Informationen. Die CAD-Daten umfassen dagegen 80 Prozent und das relativ neue Austauschformat ODB++ nahezu 100 Prozent. ODB++ ist ein erweitertes Format für den Datenaustausch zwischen Entwicklung und Fertigung mit Informationen über Bauteilabmessungen, Lötflächen, Lagenaufbau, Netzliste mit Prüfpunkten, Stücklisten, Fertigungsnutzen und Infos zum Stromlaufplan. Den erweiterten Informationsumfang von CAD bzw. ODB++ nutzt die Ihlemann AG für eine softwaregestützte Design-Evaluierung.

## Regelkataloge für die Design-Evaluierung

Für eine zuverlässige Evaluierung muss geprüft werden, ob beim Design alle Regeln eingehalten wurden und das Leiterplatten-Layout fehlerfrei gefertigt werden kann. Wie zuverlässig und vollständig diese Evaluierung ist, hängt zu einem großen Teil vom Know-how und von den Erfahrungen des Fertigers ab. Eingehalten werden müssen nationale und internationale Standards, die Vorgaben der Bauteilehersteller, spezifische Vorgaben der jeweiligen Fertigungsmaschinen und vieles mehr.

Erfahrene Fertigungsspezialisten sind in der Lage, eine manuelle Fehlererkennungsrate von 20 bis 30 Prozent zu erreichen. Durch die softwaregestützte Evaluierung des PCB-Designs werden die Regelkataloge berücksichtigt und etwa 95 Prozent der typischen Designfehler erkannt. Die restlichen 5 Prozent betreffen sehr individuelle und kundenspezifische Entwicklungen.

Bei der Design-Evaluierung wird die Bestückung digital simuliert und die Regelkataloge automatisiert angewandt. Mithilfe der Kataloge kann Ihlemann jetzt vor dem Beginn der Fertigung zuverlässig prüfen, ob die Bauteile auf die Leiterplatte passen, ob die Pad-Auswahl stimmt oder ob die Vorgaben der Bauteilhersteller eingehalten wurden. Die Ihlemann AG bietet diesen Prozess auch als Dienstleistung an.

## Design-Evaluierung als Dienstleistung



Die Ihlemann AG erkennt mithilfe einer softwaregestützten Design-Evaluierung etwa 95 Prozent der typischen Fehler im PCB-Design. Diese Evaluierung bietet Ihlemann auch als Dienstleistung an.

Mit der digitalen Design-Evaluierung lassen sich bereits in der Entwicklungsphase eines neuen Boards nahezu alle layout- und designbedingten Fehler oder Probleme feststellen. Damit werden zeitaufwendige Korrekturschleifen und zusätzliche Prototypenfertigungen eingespart und das neue Board kann fertigungssicher in die Serie überführt werden. Zusätzlich wird mit dem neuen Verfahren eine einheitliche Dokumentation durch den EMS-Dienstleister ermöglicht. Unterlagen wie Bestückungspläne lassen sich dadurch einfacher interpretieren. Die Lesbarkeit solcher Bestückpläne ist durch eine schlechte Druckqualität der Vorlagen oftmals eingeschränkt. Zusätzlich sind bei großen Boards wegen der mangelnden Auflösung der Pläne die kleinen Bauteile nicht ausreichend erkennbar. Bei zu dichter Bestückung fehlt zudem der Platz für die Beschriftung der Bauteile. Polaritätsangaben sind oft sehr fraglich/unterschiedlich gestaltet. Zur Durchführung der Evaluierung übergibt der PCB-Designer die ODB++-Datei bzw. die CAD-Daten und die Stückliste.

**Zum Leistungsumfang der digitalen Design-Evaluierung gehört:**

- Prüfung der Leiterplattendaten (Layoutprobleme etc.)
- Prüfung nach Design-Regeln, Check Bauteil-Anordnungen
- bauteilbezogene Evaluierung von Padgrößen
- Zuordnung passender Bauteilmodelle aus der Bauteil-Bibliothek
- automatische Anpassung der Polarität bzw. der Orientierung von Bauteilen
- Bestückungssimulation und sichtbar machen von Problemen vor Fertigungsstart
- zuverlässige Aufbereitung aller Fertigungsdaten (SMD, AOI, Selektiv)

Wenn die Fertigungssimulation eines neuen Boards durchlaufen wurde, erstellt die Software eine detaillierte Fehlerliste, die häufig 2000 und mehr Einträge umfasst. Nicht alle Einträge sind fertigungsrelevant oder erfolgskritisch. So werden zu geringe Bauteilabstände am Leiterplattenrand moniert, die bei kleinen Leiterplatten durch den Nutzenaufbau wieder ausgeglichen werden können.

Am Ende des Evaluierungsprozesses erhält der PCB-Designer einen ausführlichen fehlerspezifischen Report. Nach den Erfahrungen der Ihlemann AG können durch die Bestückungssimulation, Fehler frühzeitig erkannt und unnötigen Prototypenrunden eingespart werden. Außerdem wird vermieden, dass die Fertigungsprobleme erst in der Serienfertigung auftreten und zu größeren Zeitverzögerungen und Kostenproblemen führen.