

Fertigungsgerechtes Design:

Wie Entwickler überprüfen, ob sich ihr PCB-Layout fehlerfrei fertigen lässt

Immer größere Packungsdichten und immer engere Termine bestimmen die Entwicklung und Fertigung von Elektronikbaugruppen. PCB-Layouts lassen sich deshalb nicht immer fehlerfrei erstellen, und Korrekturen kosten wertvolle Zeit. Durch Designrichtlinien, Workshops für Entwickler und eine Software-Evaluierung sind solche Probleme indes zu fast 100 % vermeidbar.

„Die Designregeln für das Manufacturing (DfM) bzw. Design for Assembly (DfA) und Testability (DfT) werden häufig nicht eingehalten. Als EMS-Dienstleister haben wir mehr als 40 Jahre Erfahrung mit elektronischen Baugruppen. Trotzdem haben unsere Fer-



(alle Bilder: Ihlemann AG)

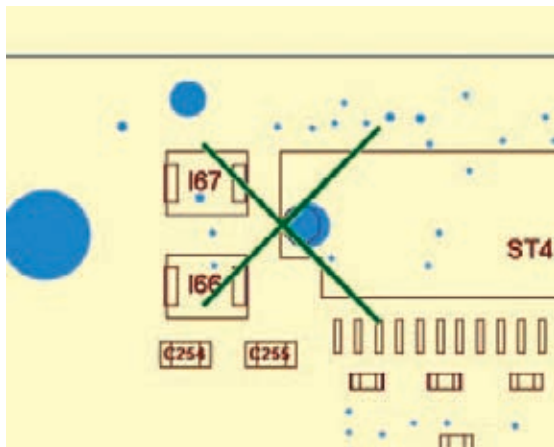


Bild 1. Als Fehlerquelle ist hier die Bohrungsposition nicht korrekt und die Bohrung nicht von Lötstopplack befreit.

tigungsspezialisten bei einem Leiterplatten-Layout mit beispielsweise mehreren hundertpoligen Bauteilen keine Chance, alle möglichen Fehler zu finden.“ So beschreibt Bernd Richter, Vorstand der Ihlemann AG, die Situation.

Problemursache: Platzprobleme

Die Leiterplatten werden kleiner und gleichzeitig müssen immer mehr Funktionen untergebracht werden. In der Folge werden häufig Mindestabstände unterschritten oder Bauteile falsch eingesetzt, die anschließend in der Fertigung zu Problemen führen:

→ Wird z.B. der äußere Rand auf der Leiterplatte zu klein, kann sie in der Fertigungslinie nicht mehr richtig transportiert werden oder ein zusätzlicher Nutzen muss definiert werden.

→ Fallen wegen der Platzprobleme die Passermarken weg, funktioniert bei der automatisierten Bestückung die genaue Lageverifizierung der Leiterplatten nicht mehr und eine exakte Bestückung ist nicht mehr möglich.

→ Werden die Abstände zwischen SMD- und THT-Bauteilen zu klein, ist eine

automatische und prozesssichere Selektiv-Lötung nicht mehr machbar. Werden die Mindestabstände unterschritten, sind die automatisierten Fertigungsverfahren häufig nicht mehr anwendbar. In der Folge können hohe Handling-Kosten anfallen, aufwendige Hilfskonstruktionen erforderlich werden oder die Leiterplatten müssen manuell bestückt und gelötet werden – mit Qualitätseinbußen und einer Vervielfachung der Kosten.

Standards und Designrichtlinien

Probleme in der Elektronikfertigung werden vermieden, wenn in der Entwicklung und beim Design nationale und internationale Standards, die Vorgaben der Bauteilhersteller sowie spezifische Vorgaben der jeweiligen Fertigungsmaschinen genau eingehalten werden.

Maßgeblich ist IPC-A-610 „Acceptability of Electronic Assemblies“ als der am weitesten verbreitete IPC-Standard. Des Weiteren sind die Herstellerangaben zu beachten. Die Designrichtlinien der Ihlemann AG geben weitere maschinenspezifische Vorgaben. Sie legen u.a. fest, dass auf den 3 mm breiten Rändern einer Leiterplatte keine Bau-

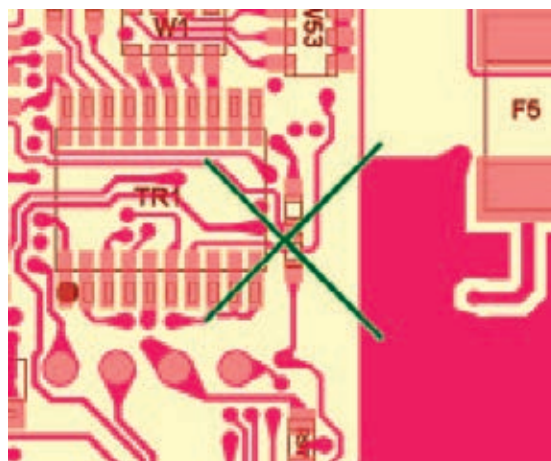


Bild 2. Bauteile teilen sich hier eine Pad-Fläche – Grabsteingefahr.

teile platziert und keine Lötstelle vorgesehen werden dürfen. Passermarken müssen gegenüberliegend außen platziert werden, aber ebenfalls nicht im Randbereich von 3 mm. Als Abstände für das maschinelle Lötén zum SMD-Bauteil sind mindestens 5 mm, beim Selektivlötén mindestens 3 mm einzuhalten. Weitere Vorgaben betreffen die Nutzengestaltung, die Bestückung, die Testverfahren und die maschinelle Schutzlackierung.

Vorgaben der Bauteilhersteller

Wichtige Vorgaben für das fertigungsgerechte Design kommen direkt von den Bauteilherstellern. Sie helfen, typische Fehler wie das Auf-

schwimmen von Bauteilen bei einer falschen Pad-Gestaltung zu vermeiden. Entwickler erhalten beispielsweise konkrete Vorgaben für SMDs, das Pad-Design oder die Ausrichtung der Bauteile mit flachen Anschlüssen.

Inzwischen machen auch die Hersteller von THT-Bauteilen genaue Vorgaben: Sie geben vor, wie groß die Bohrung auf der Leiterplatte für eine gute Durchkon-

taktierung sein muss, damit die Beinchen problemlos eingesetzt werden können; ferner welche Lochabstände erforderlich sind oder wie der Löttring zur Gestaltung des Lötmeniskus um das Beinchen zu bemessen ist. Die Designrichtlinien von Ihlemann empfehlen ergänzend, dass der Durchmesser der Bohrung 0,4 mm größer sein sollte als der Drahtdurchmesser des Bauteils. So

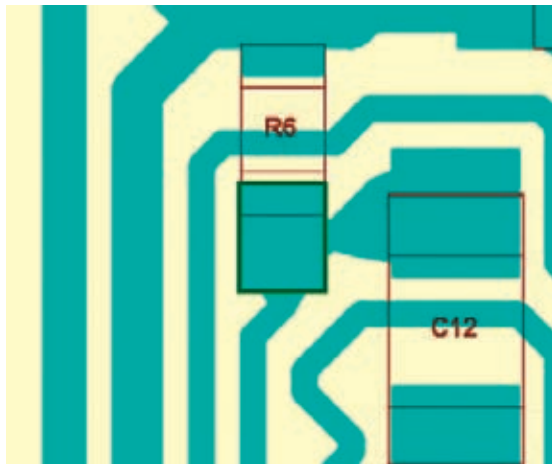


Bild 3. Pad-Flächen sind zu weit auseinander (siehe R6) bzw. Pad-Flächen sind zu eng aneinander (siehe C12).

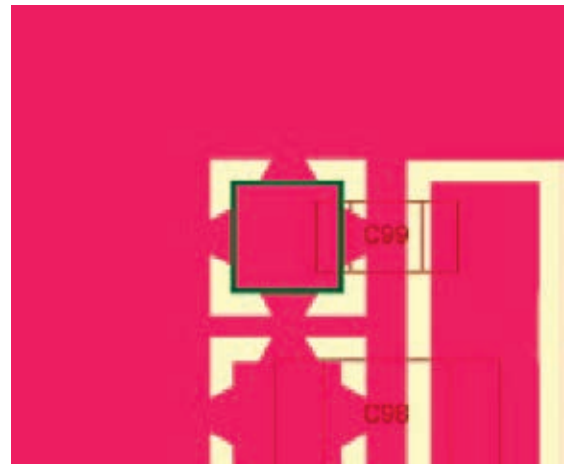


Bild 4. Ein Bauteil der Größe 0402 ist hier auf einem 0603er-Pad platziert – Grabsteingefahr.

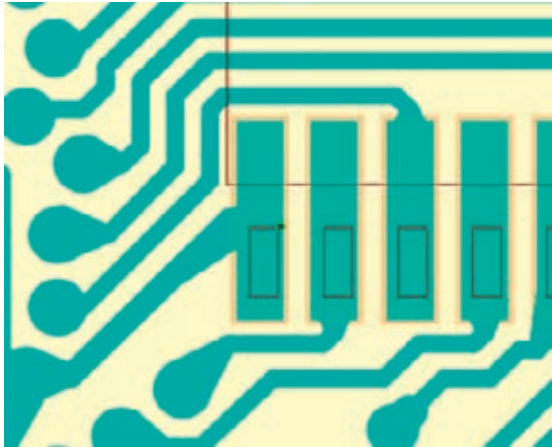


Bild 5. Beispiel für ein falsch gewähltes Raster.

ist sichergestellt, dass durch die Kapillarwirkung das Lot ungehindert aufsteigen kann.

Trotz der eindeutigen Standards und Designrichtlinien werden die Vorgaben in der Praxis häufig nicht eingehalten. Abstände passen nicht, vorgegebene Rastermaße werden nicht beachtet oder die Empfehlungen des Herstellers nicht exakt eingehalten. Eine gemeinsame Layoutdurchsprache zwischen Techni-

kern aus der Fertigung und den Entwicklern kann hier bereits viele Unklarheiten beseitigen.

Workshops für Entwickler

„Vielen Entwicklern sind die Folgen von manchmal geringen Abweichungen nicht klar. Deshalb bieten wir Workshops für das fertigungsgerechte Design an und stoßen auf sehr großes Interesse“, berichtet Bernd Richter.

Die Ihlemann AG bietet Workshops für Entwickler an, um anhand von Beispielen typische Probleme, die Vorgaben der Designrichtlinien, deren technische Hintergründe und die Anforderungen der Fertigungstechnik zu erläutern. Hier kommen auch typische Fehlerursachen bei der Bauteilwahl zur Sprache. Häufig finden sich in der Stückliste falsche

Bezeichnungen für Bauteile. Auch wenn die Bauteile richtig sind, wird nicht selten die falsche Bauform ausgewählt. Durch die Workshops können viele Probleme geklärt werden, die sonst zu Lieferverzögerungen oder erhöhten Handling-Kosten führen. Als besonders hilfreich haben sich in diesem Rahmen Fertigungsrundgänge erwiesen, um die Anforderungen des eingesetzten Maschinenparks besser nachvollziehen zu können.

Mit der zunehmenden Komplexität der Leiterplattenlayouts lassen sich mit den herkömmlichen manuellen Layoutprüfungen etliche Fertigungskonflikte allerdings nicht rechtzeitig erkennen. Eine der Ursachen dafür liegt im

Datenübergabeformat von der Entwicklung zur Fertigung.

Gerber-Daten reichen nicht mehr aus

Mit Hilfe moderner CAD-Systeme sind die Entwickler in der Lage, ein perfektes digitales Abbild eines Boards zu erstellen. Bei der Übertragung an die Elektronikfertigung werden diese digitalen Daten praktisch verworfen, denn das Standard-Austauschformat ist seit den 80er/90er Jahren das Gerber-Format. Die Gerber-Daten im ASCII-Format bestehen aus einfachen Objektbeschreibungen, X-, Y-Koordinaten und Steuerfunktion. Wichtige und zeitgemäße Informationen für die Fertigung fehlen. Das Gerber-Format enthält nach den Erfahrungen der Ihlemann AG lediglich 15 Prozent der für die Fertigung notwendigen Informationen. Die CAD-Daten umfassen dage-

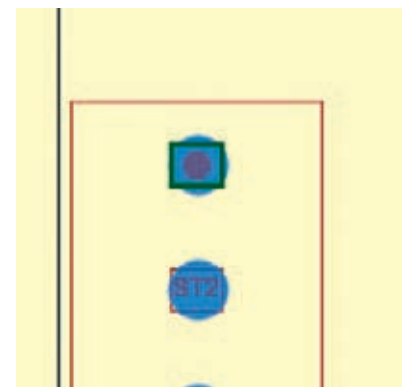


Bild 6. Der Via-Durchmesser ist hier zu klein.

gen 80 Prozent und das umfassendere Austauschformat ODB++ nahezu 100 Prozent.

ODB++ ist ein erweitertes Format für den Datenaustausch zwischen Entwicklung und Fertigung mit Informationen über Bauteilabmessungen, Lötflächen, Lagenaufbau, Netzliste mit Prüfpunkten, Stücklisten, Fertigungsnutzen und Infos zum Stromlaufplan. Den erweiterten Informationsumfang von CAD bzw. ODB++ nutzt der EMS-Dienstleister für eine Software-gestützte Design-Evaluierung.

Regelkataloge für die Design-Evaluierung

Für eine zuverlässige Evaluierung muss geprüft werden, ob beim Design alle Regeln eingehalten wurden und das

Leiterplatten-Layout fehlerfrei gefertigt werden kann. Bernd Richter beziffert die manuelle Fehlererkennungsrate von erfahrenen Fertigungsspezialisten auf 20 bis 30 Prozent. „Nachdem wir viele PCB-Designs Software-gestützt evaluiert haben, finden wir durch unsere Regelkataloge inzwischen etwa 95 Prozent der typischen Designfehler. Die restlichen fünf Prozent betreffen sehr individuelle und kundenspezifische Entwicklungen“, fasst er den erreichten Status zusammen.

Bei der Design-Evaluierung werden die Bestückung digital simuliert und die Regelkataloge automatisiert angewandt. Mit Hilfe der Kataloge kann der EMS-Dienstleister jetzt vor dem Beginn der Fertigung zuverlässig prüfen, ob die Bauteile auf die Leiterplatte passen, ob die Pad-Auswahl stimmt und ob die Vorgaben der Bauteilhersteller eingehalten wurden. Der Auftragsfertiger bietet diesen Prozess auch als Dienstleistung an.

Design-Evaluierung als Dienstleistung

Mit der digitalen Design-Evaluierung lassen sich bereits in der Entwicklungsphase eines neuen Boards nahezu alle layout- und designbedingten Fehler oder Probleme feststellen. Damit werden zeitaufwendige Korrekturschleifen und zusätzliche Prototypenfertigungen eingespart, und das neue Board kann

fertigungssicher in die Serie überführt werden.

Zusätzlich wird mit dem neuen Verfahren eine einheitliche Dokumentation durch den EMS-Dienstleister ermöglicht. Unterlagen wie Bestückungspläne lassen sich dadurch sicherer und fehlerfreier interpretieren. Bei zu dichter Be-

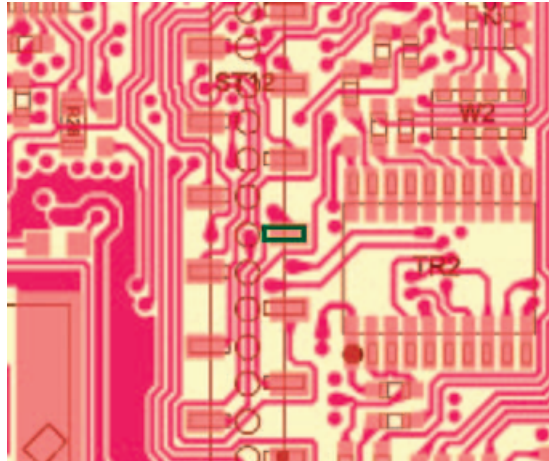


Bild 7. Das Pad ist unter dem Bauteil zu kurz – Kurzschlussgefahr zwischen Pin und Leiterbahn. Isolierung nur durch Lötstopplack.

stückung ist auf herkömmlichen Bestückungsplänen kein Platz für die Beschriftung der Bauteile. Polaritätsangaben sind oft sehr fraglich/unterschiedlich gestaltet. Zur Durchführung der Evaluierung übergibt der PCB-Designer die ODB++-Datei bzw. die CAD-Daten und die Stückliste.

Als Leistungsumfang der digitalen Design-Evaluierung nennt Ihlemann

- Prüfung der Leiterplattendaten (Layoutprobleme usw.)
- Prüfung nach Design-Regeln, Check der Bauteil-Anordnung
- Bauteilbezogene Evaluierung von Pad-Größen
- Zuordnung realistischer Bauteilmotive aus der Bauteil-Bibliothek

→ Automatische Anpassung der Polarität bzw. der Orientierung von Bauteilen

→ Bestückungssimulation

→ Zuverlässige Aufbereitung aller Fertigungsdaten (SMD, AOI, selektiv)

Wenn die Fertigungssimulation eines neuen Boards durchlaufen wurde, erstellt die Software eine detaillierte Fehlerliste, die häufig 2000 und mehr Einträge umfasst.

Nicht alle Einträge sind fertigungsrelevant oder erfolgskritisch bzw. wiederholend. So werden zu geringe Bauteilabstände am Leiterplattenrand moniert, die bei kleinen Leiterplatten durch den Nutzenaufbau wieder ausgeglichen werden können. Am Ende des Evaluierungsprozesses erhält der PCB-Designer einen ausführlichen fehlerspezifischen Report. go