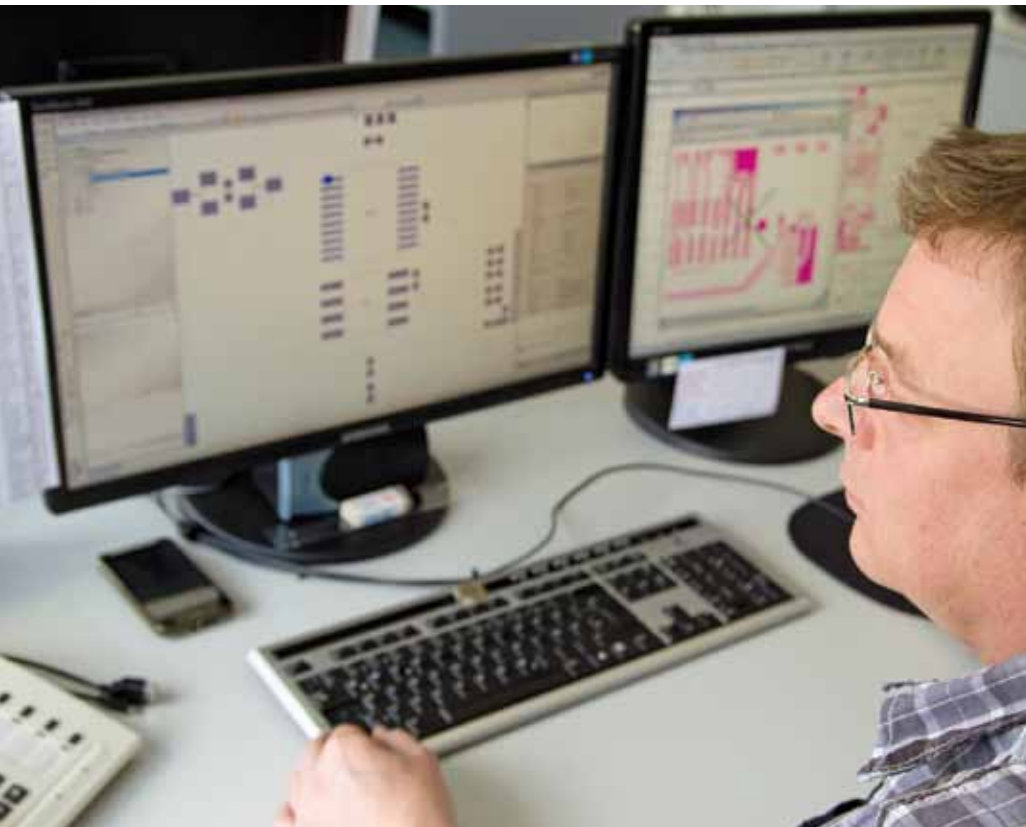


Leiterplatten-Designfehler lassen sich frühzeitig erkennen

Softwaregestützte Design-Evaluierung erlaubt es, bereits früh im Entwicklungsprozess Fehler zu ermitteln, die später in der Produktion nur mit großem Aufwand eliminiert werden können.

MARTIN ORTGIES *



Martin Ortgies

„Als EMS-Dienstleister haben wir mehr als 30 Jahre Erfahrung mit elektronischen Baugruppen. Trotzdem haben unsere Fertigungsspezialisten beispielsweise bei mehreren hundertpoligen Bauteilen keine Chance, alle möglichen Fehler zu finden. Dafür reichen Gerber-Daten heute nicht mehr aus“, beschreibt Bernd Richter, Vorstand bei der Ihlemann AG, die derzeitige Situation.

Bedarf für die Evaluierung des Leiterplatten-Designs steigt

Werden in der Entwicklung oder dem Design nicht alle Design- und Fertigungsregeln genau eingehalten, kommt es in der Produktion zu Problemen. Weil Prototypen meistens nicht unter Serienbedingungen gefertigt werden, treten viele dieser Fehler hier noch nicht auf oder können durch das Löten per Hand korrigiert werden. Nach der Nullserie sind Korrekturen dann aber nicht mehr möglich oder sie fallen sehr zeit- und kostenaufwendig aus, weil Designänderungen eine neue Prototypenfertigung und unter Umständen auch eine erneute EMV-Prüfung notwendig machen. In manchen Fällen müssen sogar kostspielige Prüfungen für internationale Zulassungen erneuert werden.

Eine Durchkontaktierung im SMD-Pad ist beispielsweise ein typisches Problem: Beim Löten fließt das warme Zinn dann durch das Loch ab und das Bauteil wird nicht IPC-gerecht verlötet. Auf der anderen Pad-Seite kann durch das Zinn ein weiterer Schaden verursacht werden. Das Problem: Bei komplexen Boards mit tausend oder mehr Teilen werden solche Fehler vor dem Fertigungsprozess oft nur zufällig entdeckt.

Die zu dichte Platzierung von zwei SMD-Anschluss pads ist ebenfalls ein häufiger Fehler. Die Folge lässt sich leicht ausmalen: Der Platz für den Lötstopplack reicht nicht aus und die zwei Pads vereinigen sich zu einer Fläche. Dann schwimmen die Bauteile in der Lötpaste auf und können nicht in der vorgesehenen Position fixiert werden.

Design-Evaluierung: Die Ihlemann AG erkennt mithilfe einer softwaregestützten Design-Evaluierung etwa 95 Prozent der typischen Fehler im PCB-Design. Diese Evaluierung bietet der EMS-Anbieter auch als Dienstleistung an.

Eine häufige Herausforderung: Ein aus der Entwicklung kommendes Leiterplatten-Layout lässt sich nicht fehlerfrei oder nur mit erheblichem Zusatz-Aufwand fertigen. Unnötige Prototypenrunden oder das Verwenden von grenzwertigen Designs in der Serienfertigung machen das Projekt schnell teuer. Korrekturen sind auf-

wendig und kosten wertvolle Zeit. Der EMS-Dienstleister Ihlemann AG aus Braunschweig bietet mit der Methode der softwaregestützten Design-Evaluierung eine professionelle Lösung an.

Zum Hintergrund: Das Leiterplatten-Layout wird häufig noch im Gerber-Format an die Produktion übergeben. Verglichen mit den CAD-Daten sind hier vergleichsweise wenige Informationen verfügbar. So ist zum Beispiel im Gerber-Format nicht erkennbar, ob alle Designregeln für das Manufacturing (DFM) beziehungsweise Design for Assembly (DfA) eingehalten werden.



* Martin Ortgies

... ist selbstständiger Fachjournalist und Kommunikationsberater für technische Themen. Er lebt in Königsutter bei Helmstedt.

Mit Hilfe moderner computergestützter Entwurfssysteme sind die Entwickler in der Lage, ein perfektes digitales Abbild eines Boards zu erstellen. Bei der Übertragung an die Elektronik-Fertigung werden diese digitalen Daten aber praktisch verworfen, denn das Standard-Austauschformat ist seit den achtziger und neunziger Jahren das Gerber-Format. Die Gerber-Daten werden im ASCII-Format abgelegt und bestehen im Wesentlichen aus einfachen Objektbeschreibungen, X- und Y-Koordinaten sowie Steuerfunktionen.

Klassische Gerber-Daten reichen nicht mehr aus

Wichtige und zeitgemäße Informationen für die Fertigung fehlen jedoch. Das Gerber-Format, das um 1980 von dem amerikanischen Unternehmen Gerber Scientific entwickelt wurde, enthält aus heutiger Sicht lediglich 15 Prozent der für die Fertigung notwendigen Informationen.

Die CAD-Daten umfassen dagegen 80 Prozent der relevanten Informationen und das relativ neue Austauschformat ODB++ nahezu 100 Prozent. Bei ODB++ (das Kürzel steht für „Open Database“) handelt es sich um ein erweitertes Format für den Datenaustausch zwischen Entwicklung und Fertigung mit Informationen über Bauteilabmessungen, Lötflächen, Lagenaufbau, Netzliste mit Prüfpunkten, Stücklisten, Fertigungsnutzen und Infos zum Stromlaufplan.

ODB++ wurde in den neunziger Jahren von der CAM-Firma Valor Computerized Systems entwickelt, die mittlerweile von Mentor Gra-

Simulierte Bestückung

Im Zuge der Design-Evaluierung wird unter anderem die Bestückung des Boards simuliert. Auf diese Weise treten potenzielle Fertigungsprobleme zutage, die zum Zeitpunkt des Designs entweder noch nicht oder nur schwer ersichtlich waren. Die automatische Prüfung des Boards auf Einhaltung von Designregeln ist zudem effektiver als ein rein optisch/manuelles Review.

phics gekauft wurde. Den erweiterten Informationsumfang der CAD-Daten beziehungsweise des ODB++-Datenformats nutzt man bei Ihlemann für eine softwaregestützte Design-Evaluierung.

Für eine zuverlässige Evaluierung muss geprüft werden, ob beim Design alle Regeln eingehalten wurden und das Leiterplatten-Layout damit fehlerfrei gefertigt werden kann. Wie zuverlässig und vollständig diese Evaluierung ist, hängt zu einem großen Teil vom Know-how und von den Erfahrungen des Fertigers ab.

Eingehalten werden müssen nationale und internationale Standards, die Vorgaben der Bauteilhersteller, spezifische Vorgaben der jeweiligen Fertigungsmaschinen und vieles mehr. Ihlemann-Vorstand Bernd Richter be-

Voraussetzung für eine erfolgreiche Design-Evaluierung ist die Verwendung der CAD-Daten oder des ODB++-Formats.

Mangelnde Informationen

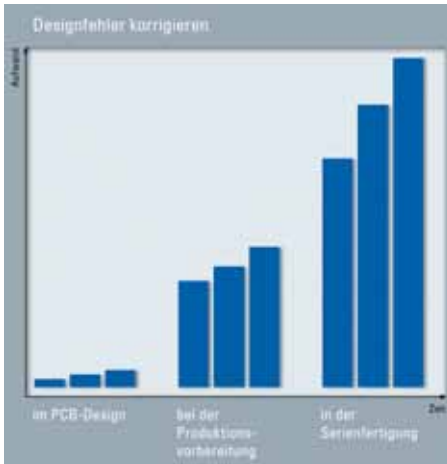
Der Informationsgehalt dieser Formate ist viel höher als der des weit verbreiteten Gerber-Formats. Auf diese Weise verbessert sich auch die Qualität der Dokumentation.

ziffert die rein manuelle Fehlererkennungsrate von erfahrenen Fertigungsspezialisten auf 20 bis 30 Prozent.

Für die Evaluierung wird die Bestückung simuliert

Die softwaregestützte Evaluierung ist dagegen um ein Vielfaches treffsicherer, so Richter: „Nachdem wir viele PCB-Entwürfe softwaregestützt evaluiert haben, finden wir durch unsere Regelkataloge inzwischen etwa 95 Prozent der typischen Designfehler. Die restlichen fünf Prozent betreffen sehr individuelle und kundenspezifische Entwicklungen“, fasst er den bislang erreichten Status zusammen.

Bei der Design-Evaluierung wird die Bestückung digital simuliert, wobei die Regel-



Frühzeitige Fehlererkennung: Je eher Fehler im Leiterplattendesign erkannt und behoben werden, desto geringere Kosten resultieren daraus.

Fertigung und Prüfung: Bei Baugruppen, deren Fehler bereits in der Entwicklungsphase eliminiert wurden, entfallen teure Redesigns und Reworks.

kataloge automatisiert angewandt werden. Mit Hilfe der Kataloge kann deshalb vor dem Beginn der Fertigung zuverlässig geprüft werden, ob die Bauteile auf die Leiterplatte passen, ob die Pad-Auswahl stimmt oder ob die Vorgaben der Bauteilhersteller eingehalten wurden. Die Ihlemann AG bietet diesen Prozess auch als Dienstleistung an.

Mit der digitalen Design-Evaluierung lassen sich bereits in der Entwicklungsphase eines neuen Boards nahezu alle layout- und designbedingten Fehler oder Probleme feststellen.

Damit werden zeitaufwendige Korrekturschleifen und zusätzliche Prototypenfertigungen eingespart und das neue Board kann

fertigungssicher in die Serie überführt werden. Zusätzlich wird mit dem neuen Verfahren eine einheitliche Dokumentation durch den EMS-Dienstleister ermöglicht. Unterlagen wie Bestückungspläne lassen sich dadurch einfacher interpretieren.

Die Dokumentation wird leichter lesbar

Die Lesbarkeit der Bestückpläne ist nämlich manchmal durch die schlechte Druckqualität der Vorlagen nicht gegeben. Gerade bei großen Boards lassen sich bedingt durch die Auflösung die Bezeichnungen der kleinen Bauteile schlecht lesen. Bei zu dichter Bestückung ist zudem oft kein Platz für die Beschriftung der Bauteile. Polaritätsangaben sind oft sehr fraglich oder unterschiedlich gestaltet.

Als Voraussetzung für die Evaluierung übergibt der PCB-Designer die ODB++-Datei bzw. die CAD-Daten und die Stückliste an den Dienstleister. Als Leistungsumfang der digitalen Design-Evaluierung nennt die Ihlemann AG:

- Prüfung der Leiterplattendaten (Layoutprobleme etc.),
- Prüfung nach Design-Regeln, Check Bauteil-Anordnungen,
- Bauteilbezogene Evaluierung von Padgrößen,
- Zuordnung realistischer Bauteilmodelle aus der Bauteil-Bibliothek,
- Automatische Anpassung der Polarität bzw. der Orientierung von Bauteilen,
- Bestückungssimulation,
- Zuverlässige Aufbereitung aller Fertigungsdaten (SMD, AOI, Selektiv).

Wenn die Fertigungssimulation eines neuen Boards durchlaufen wurde, erstellt die Software eine detaillierte Fehlerliste, die häufig 200 und mehr Einträge umfasst. Nicht alle dieser Einträge sind fertigungsrelevant oder erfolgskritisch. So werden zu geringe Bauteilabstände am Leiterplattenrand moniert, die bei kleinen Leiterplatten durch den Nutzenaufbau wieder ausgeglichen werden können. Am Ende des Evaluierungsprozesses erhält der PCB-Designer einen ausführlichen fehlerspezifischen Report. // FG

Ihlemann: +49 (0)53131980

InfoClick

- Sieben Sünden beim Leiterplattendesign
- Fokus auf Leiterplattendesign verringert Produktkosten

www.elektronikpraxis.de

InfoClick 3421314

Häufige Design-Fehler

„Isolation“ durch Lötstopplack

In diesem Fall (siehe Bild rechts) liegt der Bauteilanschluss auf zwei verschiedenen Potenzialen, wobei eine Kupferfläche (das Kupfer ist im Bild blau dargestellt) nur durch den Lötstopplack vom Bauteilanschluss getrennt ist. Das macht Probleme, da der Lack kein Isolator ist.

Pads liegen unter Bauteil

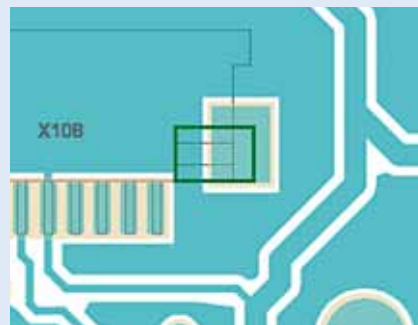
Die Anschlusspads werden sehr weit unter den Bauteilkörper gezogen. Nach der Bestückung wird die Lotpaste vom Bauteilkörper zerquetscht und liegt neben der Pad-Fläche. Beim Löten fließt die Paste nicht zurück zum Pad und es kann zu unerwünschter Lötperlenbildung führen.

Pads liegen zu weit auseinander

Der Bauteilanschluss liegt nicht komplett auf dem Pad auf der Leiterplatte. Das Bauteil kann sich beim Löten nicht richtig zentrieren und der Lotmeniskus kann sich nicht vollständig bilden (IPC610).

Kurzgeschlossene Pins

Pins zwischen ICs oder Stecker wurden ohne Lötstopplack direkt kontaktiert.



Nach dem Löten erscheint optisch eine Brücke. Dadurch gibt es eine Fehlermeldung am AOI und eine Störung im Fertigungsablauf. Außerdem kann es zu verkleinerten Lötmenisken an den betroffenen Pins kommen (IPC610). Das Lotdepot für die Brücke ist nicht in der Pastenmaske vorhanden.

Zu kleine Restringe

Um einen guten Lotmeniskus (IPC610) zu erreichen, muss der Lotring um den Bauteilanschluss eine bestimmte Größe haben, die nicht unterschritten werden sollte. Diese Größe ist abhängig vom Lochdurchmesser.