

Elektronikfertigung: Evaluierung erkennt frühzeitig Design-Fehler

Fehlerfreies Leiterplatten-Layout

Häufig lässt sich das aus der Entwicklung kommende Leiterplatten-Layout nicht fehlerfrei oder nur mit erheblichem Zusatz-Aufwand fertigen. Der EMS-Dienstleister Ihlemann bietet mit der softwaregestützten Design-Evaluierung eine professionelle Lösung an.



Mit Hilfe einer softwaregestützten Design-Evaluierung werden etwa 95 % der typischen Fehler im PCB-Design erkannt. Diese Evaluierung bietet der EMS-Anbieter auch als Dienstleistung an

Ihr Stichwort

- Elektronikfertigung
- Evaluierung
- Designfehler
- CAD-Systeme
- EMS-Dienstleistung

Das Leiterplatten-Layout für das medizinische Gerät wird heute häufig noch im Gerber-Format an die Produktion übergeben. Verglichen mit den CAD-Daten sind hier vergleichsweise wenige Informationen verfügbar. So ist beispielsweise nicht erkennbar, ob alle Designregeln für das Manufacturing (DfM) beziehungsweise Design for Assembly (DfA) eingehalten werden. „Als EMS-Dienstleister haben wir mehr als 30 Jahre Erfahrung mit elektronischen Baugruppen. Trotzdem haben unsere Fertigungsspezialisten beispielsweise bei mehreren hundertpoligen Bauteilen keine Chance, alle möglichen Fehler zu finden. Dafür reichen Gerber-Daten heute nicht mehr aus“, beschreibt Bernd Richter, Vorstand der Ihlemann AG, Braunschweig, die derzeitige Situation. Werden in der Entwicklung oder dem Design nicht alle Regeln genau eingehalten, kommt es in der Produktion zu Problemen. Weil Prototypen meistens nicht unter Serienbedin-

gungen gefertigt werden, treten viele dieser Fehler hier noch nicht auf oder werden durch das Lötten per Hand korrigiert. Nach der Nullserie sind Korrekturen dann nicht mehr möglich oder sehr zeit- und kostenaufwendig, weil Designänderungen eine neue Prototypenfertigung und manchmal auch eine erneute EMV-Prüfung notwendig machen – bis hin zu Korrekturen von internationalen Zulassungen.

Eine Durchkontaktierung im SMD-Pad ist beispielsweise ein typisches Problem: Beim Lötten fließt das warme Zinn durch das Loch ab, und das Bauteil wird nicht IPC- gerecht

verlötet. Auf der anderen Pad-Seite kann durch das Zinn ein weiterer Schaden verursacht werden. Das Problem: Bei komplexen Boards mit beispielsweise 1000 Teilen können solche Fehler vor dem Fertigungsprozess nur zufällig entdeckt werden. Mit Hilfe moderner CAD-Systeme sind die Entwickler in der Lage, ein perfektes, digitales Abbild eines Boards zu erstellen. Bei der Übertragung an die Elektronik-Fertigung werden diese digitalen Daten praktisch verworfen, denn das Standard-Austauschformat ist seit den 80/90er Jahren das Gerber-Format. Die Gerber-Daten im ASCII-Format bestehen aus einfachen Objektbeschreibungen, X-, Y-Koordinaten und Steuerfunktion. Wichtige und zeitgemäße Informationen für die Fertigung fehlen. Das Gerber-Format enthält nach den Erfahrungen des EMS-Dienstleisters lediglich 15 % der für die Fertigung notwendigen Informationen. Die CAD-Daten umfassen dagegen 80 % und das relativ neue Austauschformat ODB++ nahezu 100 %. ODB++ ist ein erweitertes Format für den Datenaustausch zwischen Entwicklung und Fertigung mit Informationen über Bauteilabmessungen, Lötflächen, Lagenaufbau, Netzliste mit Prüfpunkten, Stücklisten, Fertigungsnutzen und Infos zum Stromlaufplan. Den erweiterten Informationsumfang von CAD oder ODB++ nutzt Ihlemann für eine softwaregestützte Design-Evaluierung. Für eine zuverlässige Evaluierung muss geprüft werden, ob beim Design alle Regeln eingehalten wurden und das Leiterplatten-Layout fehlerfrei gefertigt werden kann. Wie zuverlässig und vollständig diese Evaluierung



Typische Designfehler bei der Leiterplattenentwicklung (von links nach rechts): Pads unter Bauteil, Pads zu klein, Pads zu weit auseinander
Bilder: Ihlemann

ist, hängt zu einem großen Teil vom Know-how und von den Erfahrungen des Fertigers ab. Eingehalten werden müssen nationale und internationale Standards, die Vorgaben der Bauteilhersteller, spezifische Vorgaben der jeweiligen Fertigungsmaschinen und vieles mehr. Bernd Richter beziffert die manuelle Fehlererkennungsrate von erfahrenen Fertigungsspezialisten auf 20 bis 30 %. „Nachdem wir viele PCB-Design softwaregestützt evaluiert haben, finden wir durch unsere Regelkataloge inzwischen etwa 95 Prozent der typischen Designfehler. Die restlichen 5 Prozent betreffen sehr individuelle und kundenspezifische Entwicklungen“, fasst er den Status zusammen. Bei der Design-Evaluierung wird die Bestückung digital simuliert und die Regelkataloge automatisiert angewandt. Mithilfe der Kataloge kann Ihlemann jetzt vor dem Beginn der Fertigung zuverlässig prüfen, ob die Bauteile auf die Leiterplatte passen, ob die Pad-Auswahl stimmt oder ob die Vorgaben der Bauteilhersteller eingehalten wurden. Ihlemann bietet diesen Prozess auch als Dienstleistung an.

Mit der digitalen Design-Evaluierung lassen sich bereits in der Entwicklungsphase eines neuen Boards nahezu alle layout- und designbedingten Fehler oder Probleme feststellen. Zusätzlich wird mit dem neuen Verfahren eine einheitliche Dokumentation durch den EMS-Dienstleister ermöglicht. Unterlagen wie Bestückungspläne lassen sich dadurch einfacher interpretieren. Die Lesbarkeit der Bestückungspläne ist durch die schlechte Druckqualität der Vorlagen manchmal nicht gegeben. Gerade bei großen Boards lassen sich durch die Auflösung die kleinen Bauteile schlecht lesen. Bei zu dichter Bestückung ist kein Platz für die Beschriftung der Bauteile. Polaritätsangaben sind oft sehr unterschiedlich gestaltet. Zur Durchführung der Evaluierung übergibt der PCB-Designer die ODB++-Datei beziehungsweise die CAD-Daten und die Stückliste. Als Leistungsumfang der digitalen Design-Evaluierung nennt Ihlemann das Prüfen der Leiterplattendaten, das Prüfen nach Design-Regeln, den Check der Bauteil-Anordnungen, die bauteilbezogene Evaluierung von

Padgrößen, das Zuordnen realistischer Bauteilmodelle aus der Bauteil-Bibliothek, die automatische Anpassung der Polarität beziehungsweise der Orientierung von Bauteilen, die Bestückungssimulation sowie die zuverlässige Aufbereitung aller Fertigungsdaten (SMD, AOI, Selektiv). Wenn die Fertigungssimulation eines neuen Boards durchlaufen wurde, erstellt die Software eine detaillierte Fehlerliste, und der PCB-Designer erhält daraus einen ausführlichen fehlerspezifischen Report.

■ **Martin Ortgies**
Fachjournalist aus Königsutter

Weitere Informationen: www.ihlemann.de